

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP04/017684

International filing date: 29 November 2004 (29.11.2004)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2003-423964  
Filing date: 22 December 2003 (22.12.2003)

Date of receipt at the International Bureau: 27 January 2005 (27.01.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

29.11.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年 1 2 月 2 2 日  
Date of Application:

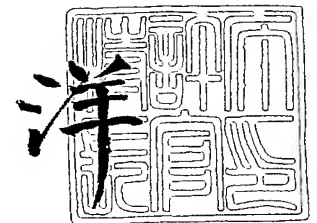
出 願 番 号                      特 願 2 0 0 3 - 4 2 3 9 6 4  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 4 2 3 9 6 4 ]

出 願 人                      株式会社河合楽器製作所  
Applicant(s):

2 0 0 5 年    1 月 1 4 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



【書類名】 特許願  
【整理番号】 KW15318  
【提出日】 平成15年12月22日  
【あて先】 特許庁長官殿  
【国際特許分類】 G10H 7/02  
【発明者】  
    【住所又は居所】 静岡県浜松市寺島町 2 0 0 番地 株式会社河合楽器製作所内  
    【氏名】 平野 哲也  
【特許出願人】  
    【識別番号】 000001410  
    【氏名又は名称】 株式会社河合楽器製作所  
【代理人】  
    【識別番号】 100086863  
    【弁理士】  
    【氏名又は名称】 佐藤 英世  
【手数料の表示】  
    【予納台帳番号】 061528  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1

**【書類名】 特許請求の範囲****【請求項 1】**

1 サンプリング周期当たり固定された所定の回数のメモリアクセスタイミングを持ち、同一の外部メモリにアクセスするDSPを同一パッケージ内に複数有するデータ処理用LSIであって、

該LSIは、

同一タイミングに夫々のDSPのリード命令又はライト命令があった場合、これらの命令のいずれを有効にするかの制御を行うリードライト制御手段と、

同一タイミングに夫々のDSPのリード命令又はライト命令があった場合、どのDSPにメモリアクセスさせるかを判定するアクセス判定手段と、

アクセス判定手段からの判定信号に応じて、DSPからのアドレスを出力する第1のセクタと、

同じく上記判定信号に基づいてDSPからのデータを出力させる第2のセクタとを有し、

上記DSP内には、上記アクセス判定手段からの判定信号に応じて、外部メモリからのデータを取得するデータ取得制御手段を備えたことを特徴とするデータ処理用LSI。

**【請求項 2】**

上記リードライト制御手段は、DSPからの命令が複数あった場合、外部メモリにアクセスを行わないことを特徴とする請求項1記載のデータ処理用LSI。

**【請求項 3】**

1 サンプリング周期当たり固定された所定の回数のメモリアクセスタイミングを持ち、楽音波形データを記憶する1つの外部メモリにアクセスするDSPを同一パッケージ内に複数有するデータ処理用LSIであって、

該LSIは、

同一タイミングに夫々のDSPのリード命令又はライト命令があった場合、これらの命令のいずれを有効にするかの制御を行うリードライト制御手段と、

同一タイミングに夫々のDSPのリード命令又はライト命令があった場合、どのDSPにメモリアクセスさせるかを判定するアクセス判定手段と、

アクセス判定手段からの判定信号に応じて、DSPからのアドレスを出力する第1のセクタと、

同じく上記判定信号に基づいてDSPからのデータを出力させる第2のセクタとを有し、

上記DSP内には、上記アクセス判定手段からの判定信号に応じて、外部メモリからのデータを取得するデータ取得制御手段を備えたことを特徴とするデータ処理用LSI。

**【請求項 4】**

上記リードライト制御手段は、DSPからの命令が複数あった場合、外部メモリにアクセスを行わないことを特徴とする請求項3記載のデータ処理用LSI。

【書類名】 明細書

【発明の名称】 データ処理用 L S I

【技術分野】

【0001】

本発明は、同一の外部メモリにアクセスする D S P を同一パッケージ内に複数有するデータ処理用 L S I に関する。

【背景技術】

【0002】

近年、音声や楽器音、オーディオ信号をデジタル処理できる D S P を使った信号処理量が増える傾向にある。そのために、信号処理能力の高い D S P を使用するか、複数の D S P を使用するなどして、対応が行われている。

【0003】

こうした D S P 2 c は、図 10 に示すように、デジタル遅延データ保存用に、外部メモリ 102 を接続して使用するのが一般的である。同図では、1 サンプリング周期 (44.1 K H z) 中に、外部メモリ 102 にアクセス可能なタイミングが 64 回ある状態が示されている。

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかし、外部メモリで遅延させる量がメモリサイズに比べて少量の場合などは、外部メモリをそれぞれに独立して接続するのは容量の無駄が多く、コスト的にも高くなってしまふ。また複数の D S P を使用した場合には、通常複数の外部メモリが必要になり、ディスクリット部品が多くなって、回路設計上問題がある。

【0005】

本発明は、以上のような問題に鑑み創案されたもので、複数の D S P を 1 パッケージ化し、しかもこれらの D S P が 1 つの外部メモリを共用できるデータ処理用 L S I を提供することで、上記問題の解決を図ろうとするものである。

【0006】

また第 2 の目的は、このようなデータ処理用 L S I を、特に 1 つの外部メモリに記憶された楽音波形データに対するエフェクト処理に用いることができる構成を提供せんとするものである。

【課題を解決するための手段】

【0007】

そのため本発明の構成は、

1 サンプリング周期当たり固定された所定の回数 of メモリアクセスタイミングを持ち、同一の外部メモリにアクセスする D S P を同一パッケージ内に複数有するデータ処理用 L S I であって、

該 L S I は、

同一タイミングに夫々の D S P のリード命令又はライト命令があった場合、これらの命令のいずれを有効にするかの制御を行うリードライト制御手段と、

同一タイミングに夫々の D S P のリード命令又はライト命令があった場合、どの D S P にメモリアクセスさせるかを判定するアクセス判定手段と、

アクセス判定手段からの判定信号に応じて、D S P からのアドレスを出力する第 1 のセレクトと、

同じく上記判定信号に基づいて D S P からのデータを出力させる第 2 のセレクトとを有し、

上記 D S P 内には、上記アクセス判定手段からの判定信号に応じて、外部メモリからのデータを取得するデータ取得制御手段を備えたことを基本的特徴としている。

【0008】

上記構成によれば、同一タイミングに夫々のDSPからリード命令又はライト命令があった場合には、リードライト制御手段がこれらの命令のいずれを有効にするか制御すると共に、同じく同一タイミングに夫々のDSPのリード命令又はライト命令があった場合に、アクセス判定手段がどのDSPにメモリアクセスさせるかを判定する。そして、第1のセレクトは、アクセス判定手段からの判定信号に応じて、DSPからのアドレスを外部メモリに対し出力し、また第2のセレクトは、同じく上記判定信号に基づいてDSPからのデータを外部メモリに対し出力させる。他方アクセス判定手段によりメモリアクセスを行いデータ読み出しを行ったDSPは、該アクセス判定手段からの判定信号を受けて、該DSP内に備えられたデータ取得制御手段により、外部メモリから入力されるデータを取得することになる。このような各手段の作用により、複数のDSPを1パッケージ化し、しかもこれらのDSPが1つの外部メモリを共用できるデータ処理用LSIが提供できるようになる。

**【0009】**

また請求項3の構成は、

1 サンプリング周期当たり固定された所定の回数のメモリアクセスタイミングを持ち、楽音波形データを記憶する1つの外部メモリにアクセスするDSPを同一パッケージ内に複数有するデータ処理用LSIであって、

該LSIは、

同一タイミングに夫々のDSPのリード命令又はライト命令があった場合、これらの命令のいずれを有効にするかの制御を行うリードライト制御手段と、

同一タイミングに夫々のDSPのリード命令又はライト命令があった場合、どのDSPにメモリアクセスさせるかを判定するアクセス判定手段と、

アクセス判定手段からの判定信号に応じて、DSPからのアドレスを出力する第1のセレクトと、

同じく上記判定信号に基づいてDSPからのデータを出力させる第2のセレクトとを有し、

上記DSP内には、上記アクセス判定手段からの判定信号に応じて、外部メモリからのデータを取得するデータ取得制御手段を備えたことを特徴としている。

**【0010】**

複数のチャンネルから楽音波形データが出力される場合、該楽音波形データにエフェクトをかけるDSPは、かけるべきエフェクトの数（異なる種類のエフェクトの場合も含む）によっては、2つ以上用いられることがある。このような、DSPを使用した信号処理の増加に伴うDSPの複数実装化は、1パッケージ化してシステムLSIとする方が、消費電力の削減や処理スピードの向上を図る上で合理的であると考えられる。従って、請求項3の構成は、複数のDSPを1パッケージ化し、しかもこれらのDSPが1つの外部メモリを共用できるデータ処理用LSIの構成を、楽音波形データにエフェクトをかけるための構成として用いるものを提供している。

**【発明の効果】****【0011】**

本発明の請求項1～請求項4記載のデータ処理用LSIによれば、複数のDSPを1パッケージ化し、しかもこれらのDSPが1つの外部メモリを共用できるLSIが提供されることで、外部メモリの容量の無駄をなくすことができ、且つ複数のDSPを用いた信号処理を行う回路の設計がより簡便化できるようになるという優れた効果を奏し得る。

**【0012】**

特に請求項3及び4のように、DSPによって楽音波形データに2種以上のエフェクトをかけるため、DSPが2つ以上必要になる場合、外部メモリの容量の無駄をなくすことができ、且つ該構成が用いられる電子楽器などの回路周りが複雑にならずに済み、製造工程を短縮化できるというメリットが得られるようになる。

**【発明を実施するための最良の形態】**

**【0013】**

以下、本発明の実施の形態を図示例と共に説明する。

図1は、本発明に係る波形再生装置の構成が用いられた電子鍵盤楽器の回路概略図である。

**【0014】**

本電子鍵盤楽器では、音色設定も複数できるが、それらの音色にかけることのできるエフェクトも2つ同時に設定することができるようになっており、それらは、後述する操作パネルの操作により、1) 音色設定で2つのエフェクトが自動的に決まる場合と、2) 付加しようとするエフェクトの演奏者による選択で2つのエフェクトが決定される場合と、がある。

**【0015】**

本電子鍵盤楽器は、図1に示すように、システムバス110を介して、CPU111、ROM112、RAM113、パネルスキャン回路114a、鍵盤スキャン回路115a、音源100及びエフェクトLSI10が相互に接続されて構成されている。システムバス110は、アドレス信号、データ信号又は制御信号等を送受するために使用される。

**【0016】**

CPU111は、ROM112に記憶されている制御プログラムに従って動作することにより本電子鍵盤楽器の全体を制御する。

**【0017】**

上記ROM112は、上述した制御プログラムの他に、CPU111が参照する種々のデータを記憶する。

**【0018】**

上記RAM113は、CPU111が各種処理を実行する際に、種々のデータを一時記憶するために使用される。このRAM113には、レジスタ、カウンタ、フラグ等が定義されている。このうちの主なものについて説明する。

**【0019】**

(a) 音色設定フラグ：後述する操作パネル114の設定により、音源100から発生させる音色をどのチャンネルから発生させるかを示すためのデータを記憶する。

**【0020】**

(b) エフェクト設定フラグ：複数種類の選択可能なエフェクトから、音色設定により自動的にその音色に設定されるべき1又は2の本フラグが選択されるか、又は演奏者による直接の選択によって1又は2の本フラグが設定され、その設定データを記憶する。

**【0021】**

(c) 2チップモードフラグ：本電子鍵盤楽器は、音源100から発生せしめられた楽音データに対するエフェクト付加に関し、上述のような音色設定により又は演奏者による選択によってエフェクトが決定された場合、上記CPU111によりエフェクト設定フラグの数が確認され、その数が2つの場合、後述するエフェクトLSI10内で使用されるDSPが2つ(DSP2a及びDSP2b)使用されることになるため、2チップモードであるフラグが立つことになる(=1)。この時CPU111は、該2チップモードフラグを参照し、モード切替信号を出力する(0:1チップモード、1:2チップモード)。

**【0022】**

パネルスキャン回路114aには、操作パネル114が接続されている。操作パネル114には、例えば演奏で使用する音色の設定や、出力される楽音に任意のエフェクトの付加を設定できるパネルスイッチなどがある。その場合は、該操作パネル114の音色選択により音色設定フラグの設定がなされ、その音色の出力の際付加すべきエフェクトが自動的に選択され、上記エフェクト設定フラグが設定される。また、上述のように、演奏者の操作パネル114のパネルスイッチなどの直接の操作により、エフェクト設定フラグが変更され、2チップモードフラグが設定されて、エフェクトLSI10が2チップモードに設定される場合もある。尚、図示は省略するが、各スイッチの設定状態を表示するLED表示器、種々のメッセージを表示するLCD等が設けられている。

**【0023】**

上記音色設定や演奏者の操作パネル114の操作により、上記2チップモードフラグが解除されると、エフェクトLSI10内のDSPは、DSP2a又はDSP2bのいずれか1つが使用される状態となり、エフェクトがかけられない状態で楽音出力されたり、或いは1つのエフェクトがかけられて出力されたりできるようになる。またその音色設定変更や操作パネル114の操作により、2チップモードフラグが設定されると、2つのエフェクトがかけられて出力されたりできるようになる。

**【0024】**

上記パネルスキャン回路114aは、CPU111からの指令にตอบสนองして操作パネル114上の各スイッチをスキャンし、このスキャンにより得られた各スイッチの開閉状態を示す信号に基づいて、各スイッチを1ビットに対応させたパネルデータを作成する。各ビットは、例えば「1」でスイッチオン状態、「0」でスイッチオフ状態を表す。このパネルデータは、システムバス110を介してCPU111に送られる。このパネルデータは、操作パネル114上のスイッチのオンイベント又はオフイベントが発生したかどうかを判断するために使用される。

**【0025】**

また、パネルスキャン回路114aは、CPU111から送られてきた表示データを操作パネル114上のLED表示器及びLCDに送る。これにより、CPU111から送られてきたデータに従って、LED表示器が点灯/消灯され、またLCDにメッセージが表示される。

**【0026】**

上記鍵盤スキャン回路115aには、鍵盤115で生成される押鍵データを検出する。すなわち、これらの鍵盤115には、夫々2点スイッチが設けられており、任意の鍵盤115が所定以上の深さまで押し下げられたことを検出すると、その鍵盤の音高データ（キーナンバ）の押鍵信号を生成すると共に、2点スイッチ間を通過する速度からベロシティを生成し、それらを押鍵データとして、鍵盤スキャン回路115aに送る。2点スイッチとしては、鍵が所定以上の深さまで押し下げられたことを検出できる光センサ、圧力センサ、その他のセンサを使用できる。鍵盤スキャン回路115aは、2点スイッチからの押鍵データを受け取ると、それをCPU111に送る。

**【0027】**

鍵盤スキャン回路115aからの押鍵データは、CPU111により、RAM113上の音色設定フラグが参照され、夫々のチャンネルに対応する音源100に送られることになる。その際、同じく該CPU111により、エフェクト設定フラグ及び2チップモードフラグも参照され、必要なエフェクト効果のための指令及び必要なDSPチップ数の指令（2チップモード設定か否かの指令）が、エフェクトLSI10に送られることになる。

**【0028】**

音源100は、波形メモリ101を使用し、それに対しメモリアクセスを行う。すなわち、該波形メモリ101に対して、読み出しアドレスを発生し、原データを読み出す。読み出された原データの補間処理を行った後、同じく同回路で生成された音色毎のエンベロープを乗算し、夫々の音色の波形データを設定されたチャンネル分累算して、外部に波形データとして出力する、通常の音源構成を有している。

**【0029】**

エフェクトLSI10は、図1及び図2に示されるように、その内部に2つのDSP2a及び2bが備えられており、CPU111からの指令を受けて、音源100から受けた楽音データに、必要なエフェクトを付加し、D/A変換回路116側に出力する。

**【0030】**

該CPU111から受け取る指令は、該CPU111によって参照されたエフェクト設定フラグ及び2チップモードフラグによるものとなる。すなわち、操作パネル114のパネルスキャン時には、該CPU111は、エフェクト設定フラグにより、出力される楽音にどのようなエフェクトがかけられるかを調べ、エフェクトLSI10に対する指令を用

意する。その際、該エフェクトの付加処理には、エフェクト L S I 1 0 内の 1 つの D S P で済むのか、それとも 2 つの D S P での処理が必要かで、2 チップモードフラグの設定を行う。さらに実際に発音処理が行われる際には、2 チップモードフラグの設定に従って、C P U 1 1 1 からエフェクト L S I 1 0 に対し、2 つの D S P 2 a 及び 2 b を使用するのか或いはその一方（例えば D S P 2 a）のみを使用するのかを指示し、その後、実際のエフェクト処理に必要なエフェクト命令を出す。

#### 【0031】

該エフェクト L S I 1 0 では、上述のように、デジタル遅延データ保存用に、外部メモリ 1 0 2 が使用されるが、2 チップモードの際には、2 つの D S P 2 a 及び 2 b が該外部メモリ 1 0 2 を共用することになる。その詳細は後述する。

#### 【0032】

さらに、このエフェクト L S I 1 0 で所望のエフェクトのかけられた波形データは、D/A変換回路 1 1 6 に入力され、デジタル-アナログ変換され、アンプ 1 1 7 で増幅され、スピーカ 1 1 8 から外部に楽音として放出される。

#### 【0033】

図 2 は、上述のように、エフェクト L S I 1 0 の内部回路の概要説明図である。該エフェクト L S I 1 0 には、同一パッケージ内に、D S P 2 a 及び 2 b が備えられており、これらの外部メモリ 1 0 2 に対するメモリアクセスには、メモリアクセス制御部 1 が使用され、制御されることになる。

#### 【0034】

本実施例構成では、1 サンプリング周期当たり 6 4 回のメモリアクセスタイミングを持つ D S P 2 a 及び D S P 2 b が使用されており、2 チップモード時に該 D S P 2 a 及び D S P 2 b から出力されたリード命令 (R 1/R 2) やライト命令 (W 1/W 2) は、一旦メモリアクセス制御部 1 で受けられ、どの D S P チップの命令が有効か否かがそこで判断されて、チップイネーブル信号 (E A c I D) が、D S P 2 a と D S P 2 b に出される。それに基づいて、外部メモリ 1 0 2 に対するアドレス指定 (A 1 又は A 2) がなされ、D S P 2 a 又は D S P 2 b に対するデータの入出力が行われる。

#### 【0035】

図 3 は、エフェクト L S I 1 0 の内部構成のうち、特に上記メモリアクセス制御部 1 の回路構成（図中波線で示す）を示す説明図である。ここでは、リードライト制御部 1 1 と、アクセス判定部 1 2 と、アドレス出力セクタ 1 3 と、データ出力セクタ 1 4 とが備えられている。

#### 【0036】

リードライト制御部 1 1 は、同一タイミングに夫々の D S P 2 a 又は D S P 2 b のリード命令 (R 1/R 2) 又はライト命令 (W 1/W 2) があった場合、これらの命令のいずれを有効にするかの制御を行う。

#### 【0037】

すなわち、図 4 (a) に示されるように、D S P 2 a 及び D S P 2 b の双方から、いずれかの命令 (W/R) が出力されるか、又は双方からいずれの命令も出さない場合、外部メモリ 1 0 2 へのアクセスは行われない（制御後 N：アクセスなし）。他方 D S P 2 a 又は D S P 2 b のどちらか一方から、いずれかの命令 (W/R) が出力された場合、外部メモリ 1 0 2 へのアクセスが有効にされる。

#### 【0038】

アクセス判定部 1 2 は、同一タイミングに夫々の D S P 2 a 又は D S P 2 b のリード命令 (R 1/R 2) 又はライト命令 (W 1/W 2) があった場合、どの D S P にメモリアクセスさせるかを判定する。

#### 【0039】

本実施例では、図 3 に示されるように、D S P 2 a のリード命令 R 1 及びライト命令 W 1 を入力側にして、出力側からチップイネーブル信号 (E A c I D) を出力する NOR 回路で構成されている。図 4 (b) に示すように、D S P 2 a 側からいずれの命令も出され

ていない場合は、チップイネーブル信号 (EAcID) が1として出力されて、DSP 2 bのメモリアクセスが有効にされる。

**【0040】**

反対にDSP 2 a側からいずれかの命令が出されている場合は、チップイネーブル信号 (EAcID) が0として出力されて、DSP 2 aのメモリアクセスが有効にされる。

**【0041】**

アドレス出力セクタ13は、アクセス判定部12からのチップイネーブル信号 (EAcID) に応じて、DSP 2 a又はDSP 2 bからのアドレスA1又はA2を出力する。このアドレスは、当然ながら、外部メモリ102に対してのデータの書き込みアドレス指定又は外部メモリ102からのデータの読み出しアドレス指定のためのものである。

**【0042】**

データ出力セクタ14は、同じく上記チップイネーブル信号 (EAcID) に基づいて、DSP 2 a又はDSP 2 bからのデータD1又はD2を出力させる。出力されるこのデータは、当然のことながら、外部メモリ102に対して書き込まれるデータであり、DSP 2 a又はDSP 2 bでの処理途中におけるデータである。

**【0043】**

図5は、エフェクトLSI10の内部構成のうち、その同一パッケージ内に収められたDSP 2 a又はDSP 2 bの回路構成の概要説明図である。これらのDSP 2 a又はDSP 2 bには、そのデジタル信号処理でのデータを一時的に記憶しておくデータレジスタ21、CPU111から送られてくるインストラクションを記憶しておく命令RAM22、そのインストラクションをデコードするデコーダ23、デコードされたインストラクションに従ってデータレジスタ21に記憶されているデータに対し演算処理 (加算・乗算命令など) を行うDSP演算部24などの通常のDSPの構成が備えられている。

**【0044】**

本実施例構成では、さらにDSP 2 a又はDSP 2 b内に、上記アクセス判定部12からのチップイネーブル信号 (EAcID) に応じて、外部メモリ102から読み出されたデータを、上記データレジスタ21に取得させるデータ取得制御部15が備えられている。このデータ取得は、DSP自身からのデータリード命令Rに伴うものであるもので、デコーダ23のリード命令が該データ取得制御部15にも入力されている。

**【0045】**

図6は、以上のような構成を有しているエフェクトLSI10が2チップモードに設定されて動作した場合の、1サンプリング周期 (44.1KHz) 内の64回のアクセスタイミングにおける各DSP 2 a及びDSP 2 bの命令とメモリアクセス制御部1の制御機能の状態を示す説明図である。同図に示すように、夫々のアクセスタイミングにおいて、DSP 2 a又はDSP 2 bのどちらか一方から、いずれかの命令 (W/R) が出力された場合、外部メモリ102へのアクセスが有効にされ、外部メモリ102に対しデータの書き込み或いは読み出しが行われる。

**【0046】**

反対にDSP 2 a及びDSP 2 bの双方から、いずれかの命令 (W/R) が出力されるか、又は双方からいずれの命令も出さない場合、外部メモリ102へのアクセスは行われない (制御後N: アクセスなし)。

**【0047】**

図7は、本実施例の電子鍵盤楽器のメイン処理を示すフローチャートである。このメイン処理ルーチンは電源の投入により起動される。即ち、電源がONにされると、先ず、CPU111、RAM113、各スキャン回路114 aや115 a、外部メモリ102及びその他のイニシャル処理が行われる (ステップS101)。これらのイニシャル処理では、CPU111やエフェクトLSI10の内部のハードウェアが初期状態に設定されると共に、RAM113に定義されているレジスタ、カウンタ、フラグ等に初期値が設定される。

**【0048】**

このイニシャル処理が終了すると、次いで、後述する操作パネル 114 のパネルスキャン処理が行われる (ステップ S102)。

#### 【0049】

そして鍵盤 115 の鍵盤処理 (鍵盤スキャン処理) が行われる (ステップ S103)。この鍵盤処理では、電子鍵盤楽器の押鍵に応じた押鍵データが作成され、上記した音源 100 に出力される。

#### 【0050】

その後この押鍵データに基づき、音源 100 及びエフェクト LSI 110 が使用されて、発音処理 (及び離鍵に応じた消音処理) が行われる (ステップ S104)。

#### 【0051】

次いで、その他の処理が行われる (ステップ S105)。この処理では、上述した以外の処理、ペダルの ON/OFF 処理、MIDI 処理などが行われる。

#### 【0052】

その後ステップ S102 に戻り、以下ステップ S102～S105 の処理が繰り返される。

#### 【0053】

図 8 は、図 7 のステップ S102 のパネルスキャン処理の手順を示すフローチャートである。

#### 【0054】

まず、操作パネル 114 のパネル操作が行われたことが、パネルスキャン回路 114a のパネルスキャンにより感知され、それらの操作に対応するフラグ処理・レジスタ書き込みがなされる (ステップ S201)。

#### 【0055】

ここでは、上述のように、操作パネル 114 によって、例えば演奏で使用する音色の設定や、出力される楽音に任意のエフェクトの付加を設定できることなどがある。その場合は、該操作パネル 114 の音色選択により音色設定フラグの設定がなされ、その音色の出力の際付加すべきエフェクトが自動的に選択され、上記エフェクト設定フラグが設定される。

#### 【0056】

また、上述のように、演奏者の操作パネル 114 のパネルスイッチなどの直接の操作により、エフェクト設定フラグが変更され、2 チップモードフラグが設定されて、エフェクト LSI 110 が 2 チップモードに設定される場合もある。

#### 【0057】

次に、CPU 111 により、音色設定フラグが参照され、新しい音色設定フラグがセットされているか否かがチェックされる (ステップ S202)。新しい音色の設定がない又は音色設定がない場合 (ステップ S202; N)、従前の音色設定のままにするかデフォルトで指定される音色 (例えばピアノ音色) が設定される (ステップ S207)。

#### 【0058】

そして CPU 111 により、エフェクト設定フラグが参照され、付加すべきエフェクトが有るか否かがチェックされる (ステップ S203)。そのようなエフェクトがなければ (ステップ S203; N)、該パネルスキャン処理を終了し、メインルーチンに復帰する。

#### 【0059】

反対に付加が必要なエフェクトが有れば (ステップ S203; Y)、さらにそのエフェクトが 2 つで有るか否かがチェックされる (ステップ S204)。そのようなエフェクトが 2 つ必要なければ (ステップ S204; N)、DSP 2a のイネーブル処理が行われ (ステップ S208)、メインルーチンに復帰する。

#### 【0060】

逆にそのようなエフェクトが 2 つ必要であれば (ステップ S204; Y)、DSP 2a 用及び DSP 2b 用に外部メモリ 102 のパーティション処理がなされ (ステップ S20

5)、さらにDSP2a及びDSP2bのイネーブル処理が行われる(ステップS206)。その後、メインルーチンに復帰する。

#### 【0061】

以上詳述した本実施例構成によれば、出力される楽音波形データにエフェクトをかけるDSPが複数実装化によって1パッケージ化され、且つ1つの外部メモリ102を共用できるシステムLSI10の構成とすることにより、消費電力の削減や処理スピードの向上を図ることができるようになるだけでなく、外部メモリ102の容量の無駄をなくすることができ、且つ複数のDSPを用いた信号処理を行う回路の設計がより簡便化できるようになる。

#### 【0062】

図9は、図3におけるアクセス判定部12の他の構成を示す説明図である。同図に示すように、その入力側に、DSP2a及びDSP2bの全リード・ライト命令(RD1、RD2、W1及びW2)をつないで、同一タイミングに夫々のDSP2a又はDSP2bのリード命令(R1/R2)又はライト命令(W1/W2)があった場合、どのDSPにメモリアクセスさせるかを判定する構成である。

#### 【0063】

同図に示されるように、DSP2aのリード命令R1及びライト命令W1、さらにDSP2bのリード命令R2及びライト命令W2を入力側にして、出力側からチップイネーブル信号(EACID)を出力する論理回路構成が用いられている。本構成でも、DSP2a側からいずれの命令も出されていない場合は、チップイネーブル信号(EACID)が1として出力されて、DSP2bのメモリアクセスが有効にされる。

#### 【0064】

反対にDSP2a側からいずれかの命令が出されている場合は、チップイネーブル信号(EACID)が0として出力されて、DSP2aのメモリアクセスが有効にされる。

#### 【0065】

尚、本発明のデータ処理用LSIは、上述の図示例にのみ限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々変更を加え得ることは勿論である。

#### 【図面の簡単な説明】

#### 【0066】

【図1】本発明に係る波形再生装置の構成が用いられた電子鍵盤楽器の回路概略図である。

【図2】エフェクトLSI10の内部回路の概要説明図である。

【図3】エフェクトLSI10の内部構成のうち、特に上記メモリアクセス制御部1の回路構成を示す説明図である。

【図4】DSP2a及びDSP2bからリード命令又はライト命令が出力された場合に、リードライト制御部11の制御出力状態と、DSP2aからリード命令又はライト命令が出力された場合に、アクセス判定部12の制御出力状態とを示す説明図である。

【図5】エフェクトLSI10の内部構成のうち、その同一パッケージ内に収められたDSP2a又はDSP2bの回路構成の概要説明図である。

【図6】エフェクトLSI10が2チップモードに設定されて動作した場合の、1サンプリング周期内の64回のアクセスタイミングにおける各DSP2a及びDSP2bの命令とメモリアクセス制御部1の制御機能の状態を示す説明図である。

【図7】本実施例の電子鍵盤楽器のメイン処理を示すフローチャートである。

【図8】ステップS102のパネルスキャン処理の手順を示すフローチャートである。

【図9】図3におけるアクセス判定部12の他の構成を示す説明図である。

【図10】デジタル遅延データ保存用に、外部メモリ102を接続して使用する従来のDSP2cの接続状態を示す説明図である。

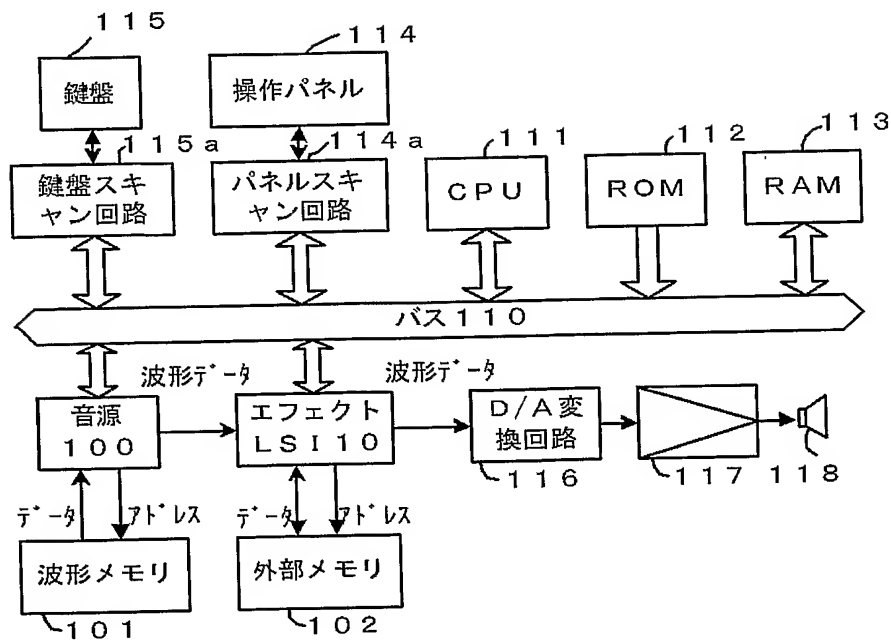
#### 【符号の説明】

## 【 0 0 6 7 】

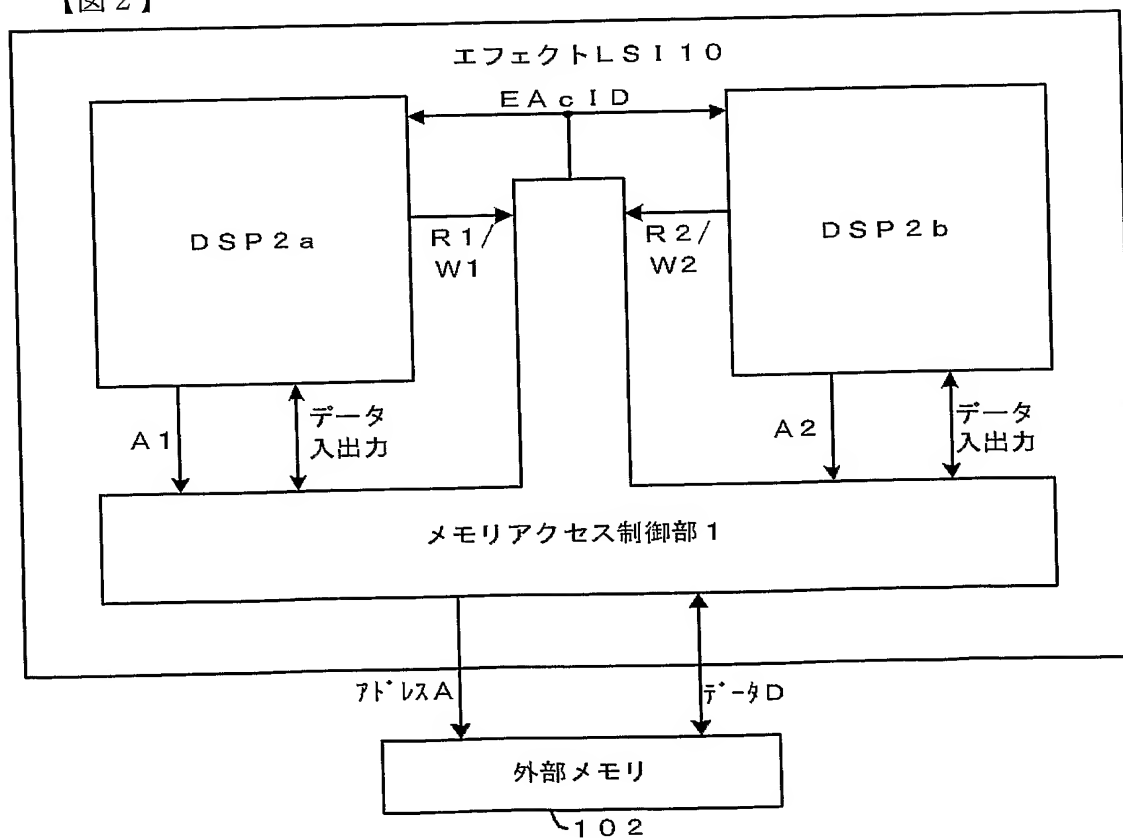
1	メモリアクセス制御部
2 a、2 b、2 c	D S P
1 0	エフェクト L S I
1 1	リードライト制御部
1 2	アクセス判定部
1 3	アドレス出力セクタ
1 4	データ出力セクタ
1 5	データ取得制御部
2 1	データレジスタ
2 2	命令 R A M
2 3	デコーダ
2 4	D S P 演算部
1 0 0	音源
1 0 1	波形メモリ
1 0 2	外部メモリ
1 1 0	システムバス
1 1 1	C P U
1 1 2	R O M
1 1 3	R A M
1 1 4	操作パネル
1 1 4 a	パネルスキャン回路
1 1 5	鍵盤
1 1 5 a	鍵盤スキャン回路
1 1 6	D / A 変換回路
1 1 7	アンプ
1 1 8	スピーカ

【書類名】 図面

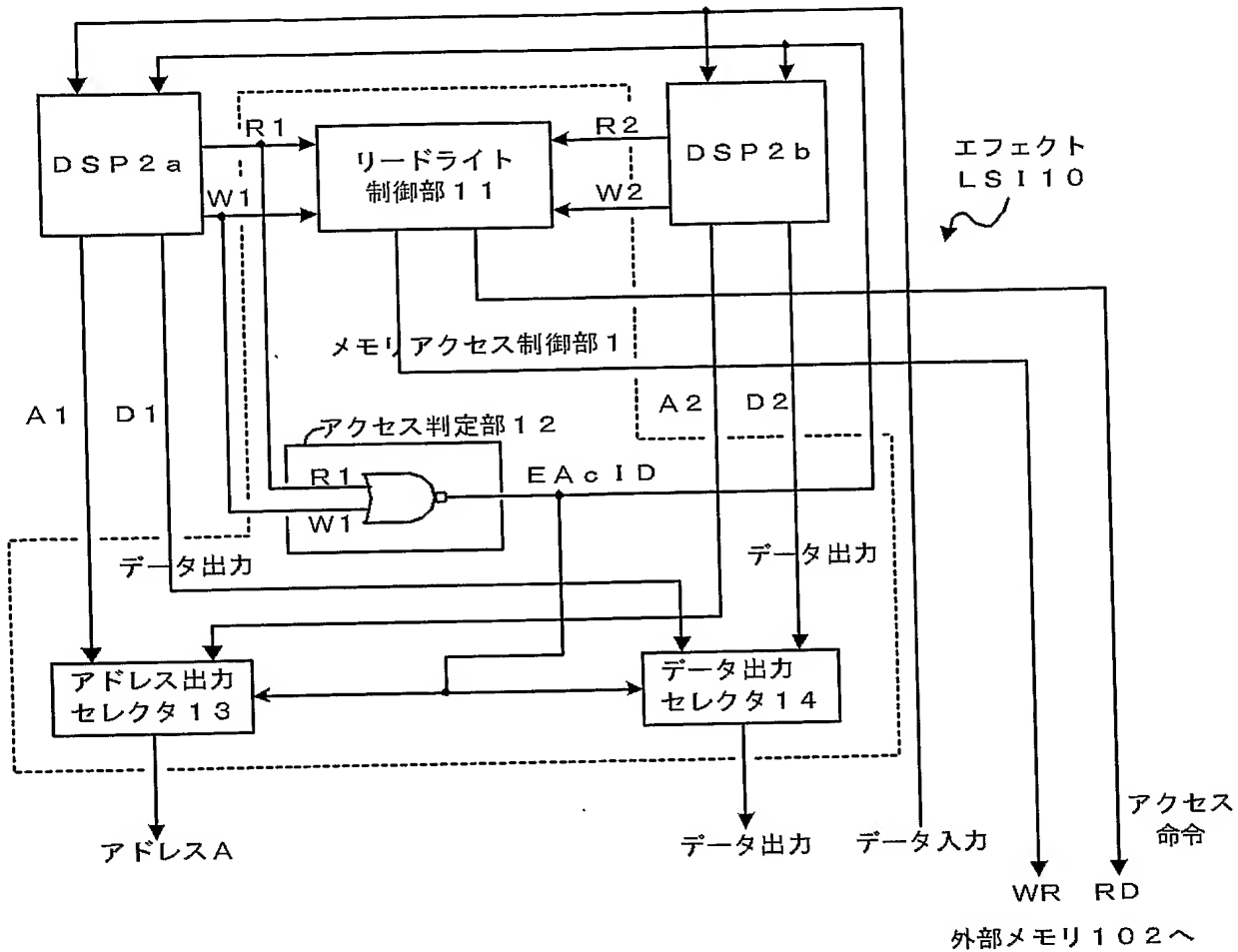
【図 1】



【図 2】



【図 3】



【図 4】

(a)

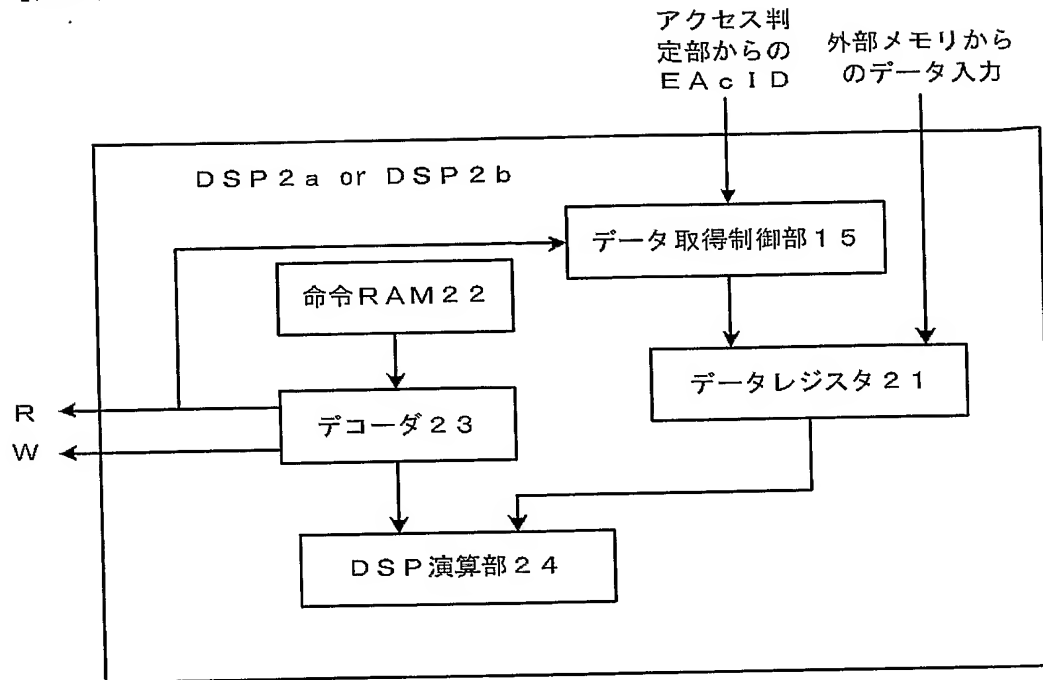
DSP 2 a	DSP 2 b	制御後
R1	R2	N
R1	W2	N
R1	N	R1
W1	R2	N
W1	W2	N
W1	N	W1
N	R2	R2
N	W2	W2
N	N	N

R:リード  
W:ライト  
N:アクセスなし

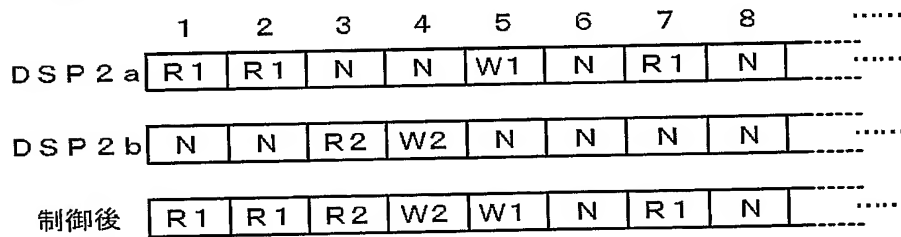
(b)

R1	W1	EA CID	
0	0	1	DSP 2 b
1	0	0	DSP 2 a
0	1	0	DSP 2 a

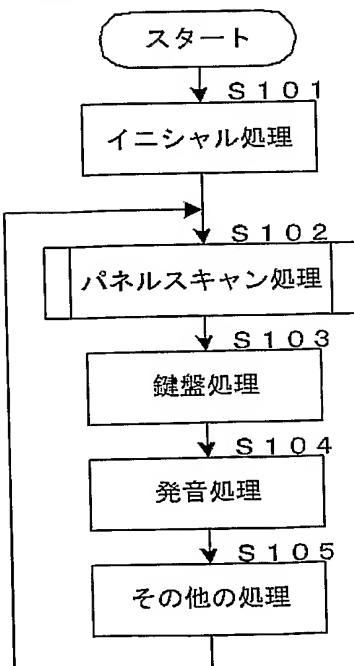
【図 5】



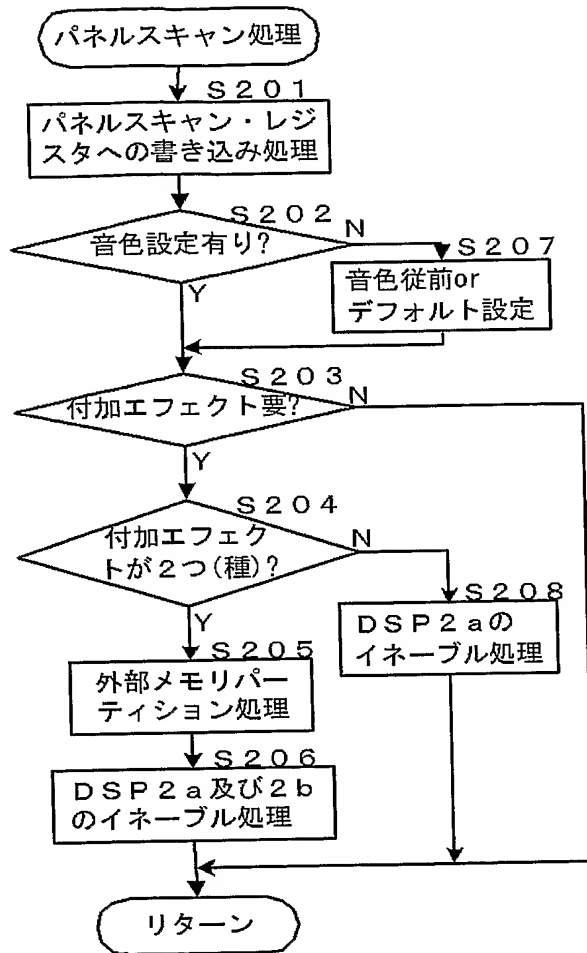
【図 6】



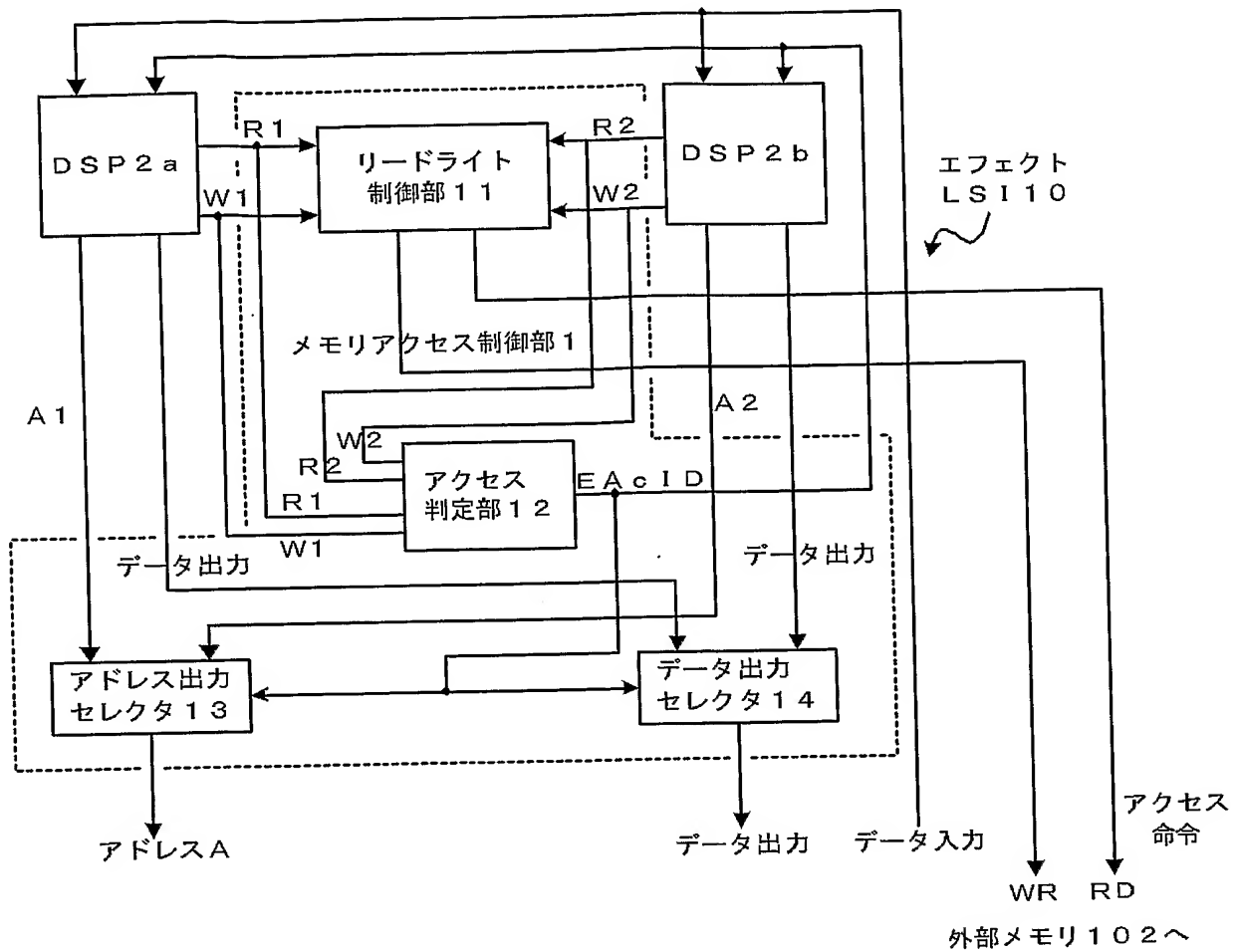
【図 7】



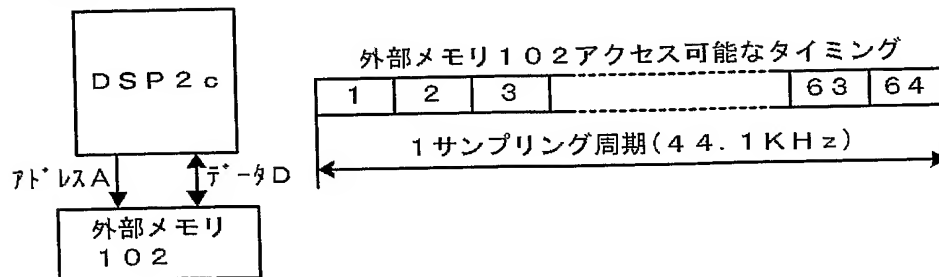
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 複数の DSP を 1 パッケージ化し、しかもこれらの DSP が 1 つの外部メモリを共用できるデータ処理用 LSI を提供する。

【解決手段】 同一の外部メモリ 102 にアクセスする DSP 2 a 及び 2 b を有するエフェクト LSI 10 であって、同一タイミングに夫々の DSP のリード命令又はライト命令があった場合、これらの命令のいずれを有効にするかの制御を行うリードライト制御部 11 と、同一タイミングに夫々の DSP のリード命令又はライト命令があった場合、どの DSP にメモリアクセスさせるかを判定するアクセス判定部 12 と、アクセス判定部 12 からの判定信号に応じて、DSP からのアドレスを出力するアドレス出力セクタ 13 と、同じく上記判定信号に基づいて DSP からのデータを出力させるデータ出力セクタ 14 とを有し、上記 DSP 内には、上記アクセス判定部 12 からの判定信号に応じて、外部メモリ 102 からのデータを取得するデータ取得制御部 15 を備えている。

【選択図】 図 3

特願 2 0 0 3 - 4 2 3 9 6 4

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 1 4 1 0 ]

1. 変更年月日	1 9 9 0 年 8 月 1 0 日
[変更理由]	新規登録
住 所	静岡県浜松市寺島町 2 0 0 番地
氏 名	株式会社河合楽器製作所